
(19) KOREAN INTELLECTUAL PROPERTY OFFICE

KOREAN PATENT ABSTRACTS

(11)Publication number: 010059461 A
(43)Date of publication of application: 06.07.2001

(21)Application number: 990066966
(22)Date of filing: 30.12.1999

(71)Applicant: HYNIX SEMICONDUCTOR INC.
(72)Inventor: BAEK, DONG WON
SHIN, SEUNG U

(51)Int. Cl H01L 21/8242

(54) METHOD FOR MANUFACTURING CAPACITOR

(57) Abstract:

PURPOSE: A method for manufacturing a capacitor is provided to improve a characteristic of a capacitor by forming the second ONO(Oxide-Nitride-Oxide) layer and the third ONO layer within one device.

CONSTITUTION: A lower electrode(31) is formed on a semiconductor substrate. The first ONO layer(32) is formed on the lower electrode(31). The first ONO layer(32) is grown on the lower electrode(31). The second ONO layer(33) is formed on the first ONO layer(32). The third ONO layer is formed on the second ONO layer. The second oxide layer(34) is formed by implanting a SiHCl gas and a NO gas.

COPYRIGHT 2001 KIPO

Legal Status

Date of request for an examination (19991230)
Final disposal of an application (registration)
Date of final disposal of an application (20020228)
Patent registration number (1003379300000)
Date of registration (20020513)

(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(51) Int. Cl.⁷ (11) 공개번호 특2001-0059461
H01L 21/8242 (43) 공개일자 2001년07월06일

(21) 출원번호 10-1999-0066966
(22) 출원일자 1999년12월30일
(71) 출원인 주식회사 하이닉스반도체 박종섭
경기 이천시 부발읍 아미리 산136-1
(72) 발명자 신승우
경기도이천시부발읍아미리699-7번지현대아파트302-1902
백동원
서울특별시중구산당동약수하이츠동아아파트104-702
(74) 대리인 이후동, 이정훈

심사청구 : 있음

(54) 캐패시터의 제조 방법

요약

본 발명은 하나의 장비내에서 제 2, 제 3 ONO(Oxide-Nitride-Oxide)층을 형성한 후 열처리하여 정전 용량을 향상시키기 위한 캐패시터의 제조 방법에 관한 것이다.

본 발명의 캐패시터의 제조 방법은 패스트 템퍼러처 램프 업/다운(Fast Temperature Ramp Up/Down) 엘피-시브이디(Low Pressure-CVD:LP-CVD) 방식의 장비를 사용하여 제 2 ONO층과 제 3 ONO층을 하나의 장비내에서 형성하므로, 공정 시간을 단축시키고 또한 후속 공정으로 N2 어닐(Anneal) 공정을 추가하므로 정전 용량이 증가하고 전기적 특성이 향상되며 배선과 접촉되는 콘택 저항이 저하되는 등 캐패시터의 특성을 향상시키는 특징이 있다.

도표도

도2a

망세서

도면의 간단한 설명

도 1a 내지 도 1c는 종래의 캐패시터 중 ONO층의 형성 방법을 나타낸 공정 단면도
도 2a 내지 도 2c는 본 발명의 실시 예에 따른 캐패시터 중 ONO층의 형성 방법을 나타낸 공정 단면도
도 3은 본 발명에서 제 3 ONO층 형성 후 N2 어닐 공정 시 실험치를 나타낸 도면
<도면의 주요부분에 대한 부호의 설명>

31: 하부 전극 32: 제 1 ONO층
33: 제 2 ONO층 34: 제 3 ONO층

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 캐패시터의 제조 방법에 관한 것으로, 특히 하나의 장비내에서 제 2, 제 3 ONO층을 형성하여 캐패시터의 특성을 향상시키는 캐패시터의 제조 방법에 관한 것이다.

반도체 소자를 구성하는 단위 중 캐패시터는 하부 전극, 유전막 및 상부 전극으로 구성된다.

상기 유전막으로 현재 제 1 산화막인 제 1 ONO층, 질화막인 제 2 ONO층 및 제 2 산화막인 제 3 ONO층이 순차적으로 적층된 ONO(Oxide-Nitride-Oxide)층이 사용되고 있다.

종래의 캐패시터 중 ONO층의 형성 방법은 도 1a에서와 같이, 상기 하부 전극(11)상에 제 1 ONO층(12)을 열 산화 공정 또는 화학 처리에 의해 성장시킨다.

그리고, 도 1b에서와 같이, 상기 제 1 ONO층(12)상에 제 2 ONO층(13)을 엘피-시브이디(Low Pressure-

CVD(LP-CVD) 방법으로 형성한다.

이며, 도 1c에서와 같이, 상기 제 2 ONO층(13)상에 제 3 ONO층(14)을 열 산화 공정에 의해 성장시킨다.

발명이 이루고자하는 기술적 과제

그러나 종래의 캐패시터의 제조 방법은 유전막으로 ONO층을 형성할 때 다음과 같은 문제점이 있었다.

첫째, 소자의 집적화에 따라 유전막의 유효 두께가 얇아지므로 캐피시터의 정전 용량이 감소한다.

둘째, 상기 ONO층의 형성 공정이 제 1, 제 2, 제 3 ONO층을 형성하는 3번의 공정을 요하고 또한 상기 3번의 공정이 모두 다른 종류의 장비에서 형성하며 박막의 특성을 보존하기 위해 각 공정간에는 시간 지연 없이 진행해야 하므로 사전에 상기 3번의 공정 장비가 모두 어사인(Assign) 되어야 한다는 문제점이 있었다.

본 발명은 상기의 문제점을 해결하기 위해 안출한 것으로 하나의 장비내에서 제 2, 제 3 ONO층을 형성한 후 열처리하여 정전 용량을 향상시키는 캐패시터의 제조 방법을 제공하는데 그 목적이 있다.

발명의 구성 및 작용

본 발명의 캐패시터의 제조 방법은 하부 전극이 형성된 기판을 마련하는 단계, 상기 하부 전극상에 제 1 산화막을 성장시키는 단계, 상기 제 1 산화막상에 하나의 장비내에서 질화막층과 제 2 산화막을 형성하여 ONO층을 형성하는 단계, 전면을 N₂ 어닐 공정을 하는 단계 및 상기 ONO층상에 상부 전극을 형성하는 단계를 포함하여 이루어짐을 특징으로 한다.

상기와 같은 본 발명에 따른 캐패시터의 제조 방법의 바람직한 실시 예를 첨부된 도면을 참조하여 상세히 설명하면 다음과 같다.

도 2a 내지 도 2c는 본 발명의 실시 예에 따른 캐패시터 중 ONO층의 형성 방법을 나타낸 공정 단면도이고, 도 3은 본 발명에서 제 3 ONO층 형성 후 N₂ 어닐 공정 시 실험치를 나타낸 도면이다.

본 발명의 실시 예에 따른 캐패시터 중 ONO층의 형성 방법은 도 2a에서와 같이, 상기 하부 전극(31)상에 제 1 ONO층(32)을 형성한다.

여기서, 상기 제 1 ONO층(32)의 형성 공정은 웨이퍼를 상기 제 2 ONO층 형성 공정을 위한 반응로로 장입하기 전에 화학 처리 방법을 사용하여 웨이퍼 표면에 흡착된 불순물을 제거함과 동시에 상기 제 1 ONO층(32)을 성장시킨다.

이때, 상기 제 1 ONO층(32) 형성 공정에 사용하는 클리닝(Cleaning) 절차는 탈이온수에 희석시킨 HFLA BOE(Buffered Oxide Etchant: NH₄F + HF)로 웨이퍼 표면의 불순 산화막을 제거한 후 SC1(NH₄OH + H₂O₂ + DIW) 클리닝 또는 피란하(Piranha: H₂SO₄ + H₂O₂ + DIW) 클리닝을 하여 기타 미물질을 제거 및 상기 제 1 ONO층(32)을 성장시킨다.

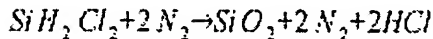
그리고, 도 2b에서와 같이, 상기 제 1 ONO층(32)상에 제 2 ONO층(33)을 패스트 템퍼러처 램프 업/다운(Fast Temperature Ramp Up/Down) LP-CVD 방식으로 형성한다.

여기서, 상기 제 2 ONO층(33)의 형성 방법은 상기 제 1 ONO층(32)이 형성된 웨이퍼를 반응로내로 장입하여 패스트 템퍼러처 램프 업/다운(Fast Temperature Ramp Up/Down) LP-CVD 방식으로 제 2 ONO층을 형성한다.

이며, 도 2c에서와 같이, 상기 제 2 ONO층(33)상에 제 3 ONO층(34)을 형성한다.

여기서, 상기 제 3 ONO층(34)의 형성 방법은 상기 제 2 ONO층(33)의 형성 후 상기 반응로 내부로 질소(N₂)와 아르곤(Ar) 등의 불활성 가스를 주입시키면서 상기 반응로 내부의 압력을 0.5 Torr 이상으로 유지시킨 상태에서 초당 10℃ 이상의 상승 속도로 800 ~ 900℃ 온도까지 상승시킨다.

상기 반응로 내부의 압력을 일정수준으로 유지시킨 이유는 온도 상승 시 열전도를 원활히 하여 최대한 짧은 시간내에 원하는 온도에 도달하기 위해서 이다.



그리고, 상기 반응로 내부로 불활성 가스 주입을 중단하고 잔존 가스를 배기시킨 후 SiHCl₃ 가스와 NO 가스를 주입하여 상기 수확식 1에 의해 제 2 산화막(34)을 형성한다.

이며, 상기 제 3 ONO층(34)을 형성한 후 N₂ 가스를 주입하면서 반응로 내부의 압력을 상승시키고 850℃ 이상의 온도로 상승시킨다. 이때, 온도상승률은 20℃/초 이상으로 유지시킨다.

상기 850℃ 이상의 온도에서 N₂ 어닐(Anneal) 공정을 5초 이상 실시하여 상기 하부 전극(31)과 유전막인 ONO층 내부로 N₂ 가스가 주입되며 상기 ONO층의 유전율을 상승시켜 캐패시터의 정전용량이 증가함과 동시에 상기 하부전극(31)과 제 1 ONO층(32) 계면과 상부 전극(도시하지 않음)과 상기 제 3 ONO층(34) 계면에 존재하는 트랩 사이트(Trap Site)를 감소시키고 상기 제 2 ONO층(33) 박막 내부에 존재하는 핀 홀(Pin Hole)을 감소시켜 ONO층의 전기적 특성을 향상시키며 N 또는 P 형의 얇은 불순물 영역 계면을 활성화 시켜 배선과 불순물 영역 사이의 콘택 저항을 저하시킨다.

상기 N₂ 어닐 공정 후 초당 20℃ 이상의 하강속도로 600℃ 이하의 온도까지 낮추어서 공정을 완료한다.

발명의 효과

본 발명의 캐패시터의 제조 방법은 패스트 템퍼러처 램프 업/다운 LP-CVD 방식의 장비를 사용하여 제 2 ONO층과 제 3 ONO층을 하나의 장비내에서 형성하므로, 공정 시간을 단축시키고 또한 후속 공정으로 N₂ 어닐 공정을 추가하므로 정전 용량이 증가하고 전기적 특성이 향상되며 배선과 접촉되는 콘택 저항이 저하되는 등 캐패시터의 특성을 향상시키는 효과가 있다.

(5) 청구의 범위

청구항 1. 하부 전극이 형성된 기판을 마련하는 단계;

상기 하부 전극상에 제 1 산화막을 성장시키는 단계;

상기 제 1 산화막상에 하나의 장비내에서 질화막층과 제 2 산화막을 형성하여 ONO층을 형성하는 단계;

전면을 N₂ 어닐 공정을 하는 단계;

상기 ONO층상에 상부 전극을 형성하는 단계를 포함하여 이루어짐을 특징으로 하는 캐패시터의 제조 방법.

청구항 2. 제 1 항에 있어서,

상기 제 1 산화막은, 웨이퍼를 상기 질화막과 제 2 산화막 형성 공정을 위한 반응로로 장입하기 전에 화학 처리 방법을 사용하여 웨이퍼 표면에 흡착된 불순물을 제거함과 동시에 성장시킴을 특징으로 하는 캐패시터의 제조 방법.

청구항 3. 제 2 항에 있어서,

상기 제 1 산화막을 미물에 희석시킨 HF나 BOE로 웨이퍼 표면의 불순 산화막을 제거한 후 SC1(NH₄OH + H₂O₂ + DIW) 클리닝 또는 피라냐(H₂SO₄ + H₂O₂ + DIW) 클리닝을 하여 기타 미물질을 제거함과 동시에 성장시킴을 특징으로 하는 캐패시터의 제조 방법.

청구항 4. 제 1 항에 있어서,

상기 질화막을 상기 제 1 산화막이 형성된 웨이퍼를 반응로내로 장입하여 패스트 템퍼러처 램프 업/다운 LP-CVD 방식으로 형성함을 특징으로 하는 캐패시터의 제조 방법.

청구항 5. 제 1 항에 있어서,

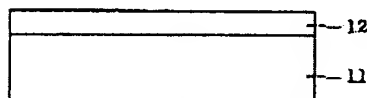
상기 제 2 산화막을 상기 질화막의 형성 후 상기 반응로 내부로 질소(N₂)와 아르곤(Ar) 등의 불활성 가스를 주입시키면서 상기 반응로 내부의 압력을 0.5 Torr 이상으로 유지시킨 상태에서 초당 10°C 이상의 상승 속도로 800 ~ 900°C 온도까지 상승시키는 다음, 상기 반응로 내부로 불활성 가스 주입을 중단하고 잔존 가스를 빼기 시킨 후 SiHCl₃ 가스와 NO 가스를 주입하여 형성함을 특징으로 하는 캐패시터의 제조 방법.

청구항 6. 제 1 항에 있어서,

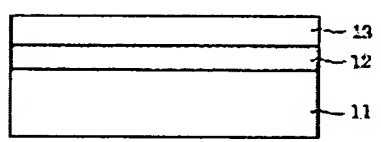
상기 N₂ 어닐 공정을 N₂ 가스를 주입하면서 온도상승률은 20°C/초 이상으로 유지시킨 상태에서 반응로 내부의 압력을 상승시키면서 850°C 이상의 온도로 상승시킨 다음, 5초 이상 실시함을 특징으로 하는 캐패시터의 제조 방법.

도면

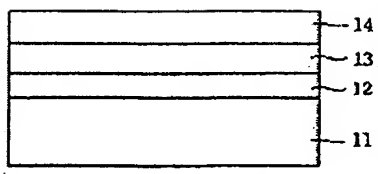
도면 a



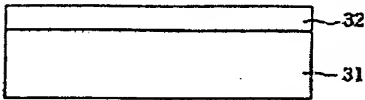
도면 b



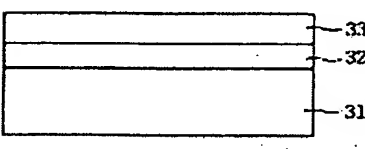
도면 1a



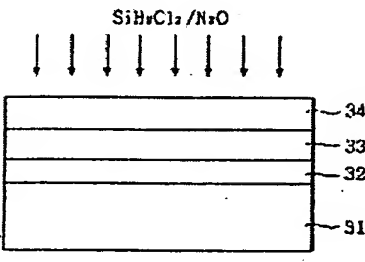
도면 2a



도면 2b



도면 2c



도면 3

| | N 어닐 미 적용 | 850℃, 20sec | 900℃, 5sec | 900℃, 10sec | 900℃, 20sec |
|----------|--------------|--------------|--------------|--------------|--------------|
| 정전 용량 | 25.3 fF/cell | 27.3 fF/cell | 28.5 fF/cell | 29.1 fF/cell | 28.9 fF/cell |
| 오프에스비 전압 | 3.17 V | 3.16 V | 3.20 V | 3.22 V | 3.22 V |
| 전력 저항 | 853Ω | 628Ω | 608Ω | 657Ω | 601Ω |